

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-230373

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 29/786

(21)Application number : 08-031865

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.02.1996

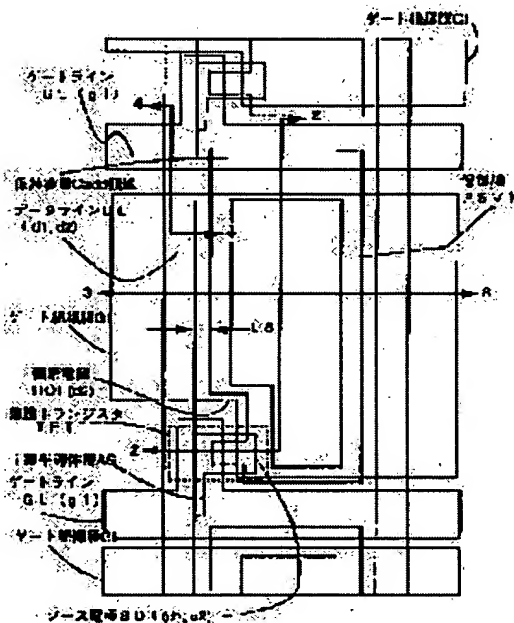
(72)Inventor : NAKAYOSHI YOSHIAKI
SUZUKI NOBUYUKI
ONO KIKUO

(54) LIQUID CRYSTAL DISPLAY PANEL AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the electrical shorting, etc., by the residues in selective etching.

SOLUTION: This panel has at least gate lines GL formed on a transparent substrate, data lines DL formed to intersect with these gate lines GL via insulating films, thin-film transistors TFTs having the insulating films described above as the gate insulating films GI in a partial region of the gate lines GL and pixel electrodes to which the video signals from the data lines DL are supplied via these TFTs. In such a case, this process includes a stage by which at least =2 times of removal by etching are executed on the insulating films GI or the transparent substrate after the semiconductors between the data lines GL and the pixel electrodes are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-230373

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/1343		1/1343	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平8-31865

(22) 出願日 平成8年(1996)2月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 仲吉 良彰

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 鈴木 伸之

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 小野 配久雄

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

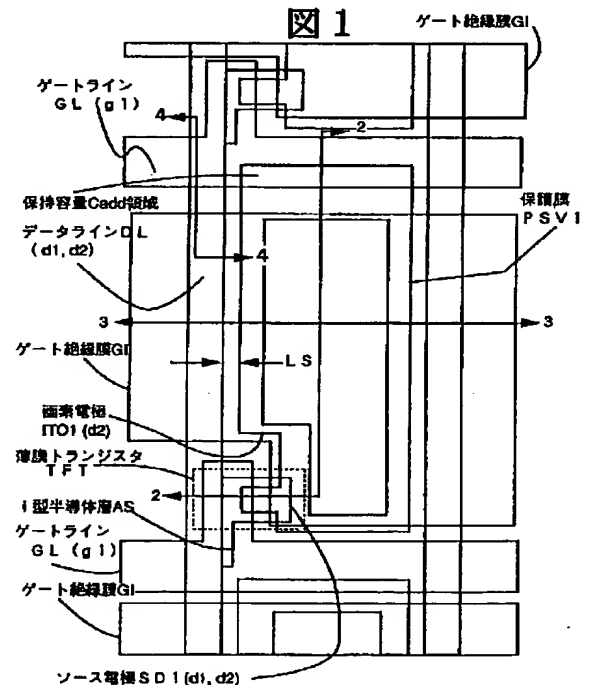
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 液晶表示パネルおよびその製造方法

(57) 【要約】

【課題】 選択エッチングの際の残存物による電氣的短絡等を防止する。

【解決手段】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、データラインと画素電極との間の半導体を形成した後に、前記絶縁膜あるいは透明基板上で少なくとも2回以上のエッチング除去がなされる工程を備える。



【特許請求の範囲】

【請求項1】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、ゲートラインを被覆するゲート絶縁膜の平面パターンがゲートラインより幅広く、ゲートラインに対してほぼ平行な形状であることを特徴とする液晶表示パネル。

【請求項2】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、ゲートラインを被覆するゲート絶縁膜の平面パターンがデータラインより幅広く、データラインと画素電極の間にパターンを構成することを特徴とする液晶表示パネル。

【請求項3】 データラインが少なくとも高融点金属上に透明導電層を形成した積層構造からなり、かつこれらはほぼ同一のパターンからなることを特徴とする請求項1および2のうちのいずれか記載の液晶表示パネル。

【請求項4】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、データラインと画素電極との間の半導体を形成した後、前記絶縁膜あるいは透明基板上で少なくとも2回以上のエッチング除去がなされる工程を備えることを特徴とする液晶表示パネルの製造方法。

【請求項5】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極、この画素電極と前記データラインとの間に該データラインに沿った遮光電極を少なくとも備える液晶表示パネルにおいて、前記ゲートラインを被覆する前記絶縁膜の端部が前記データラインと遮光電極との間に位置づけられていることを特徴とする液晶表示パネル。

【請求項6】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成さ

れたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、

データラインと画素電極の平面的な間隙部のデータライン用の金属材料を形成後、絶縁膜あるいは透明基板上で少なくとも2回以上のエッチング除去がなされる工程を備えることを特徴とする液晶表示パネルの製造方法。

10 【請求項7】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極を少なくとも備える液晶表示パネルにおいて、データラインと画素電極の平面的な間隙部のデータライン用の金属材料および半導体層を形成後、絶縁膜あるいは透明基板上で少なくとも2回以上のエッチング除去がなされる工程を備えることを特徴とする液晶表示パネルの製造方法。

20 【請求項8】 透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインからの映像信号が供給される画素電極、この画素電極と前記データラインとの間に該データラインに沿った遮光電極を少なくとも備える液晶表示パネルにおいて、データラインの断面的な下部およびデータラインと遮光電極の平面的間隙部の半導体層をデータライン用の金属材料形成前と形成後にそれぞれエッチング除去がなされる工程を備えることを特徴とする液晶表示パネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示パネルおよびその製造方法に係り、いわゆるアクティブマトリックス型と称される液晶表示パネルおよびその製造方法に関する。

【0002】

【従来の技術】アクティブマトリックス型液晶表示パネルは、液晶層を介して互いに対向配置される透明基板のうち、一方の透明基板の液晶側の面に、そのx方向に延在しかつy方向に並設されるゲートラインと、これらゲートラインに絶縁されてy方向に延在しかつx方向に並設されるデータラインとが形成され、これら各ラインで囲まれた領域において単位画素領域を構成し、この各画素領域にそれぞれスイッチング素子および画素電極（透明電極）が備えられている。

【0003】これら各画素領域の画素電極は、ゲートラインからの走査信号（電圧）の供給によってオンされるスイッチング素子を介してデータラインからの映像信号（電圧）が供給され、これにより、対向する側の透明基板に形成された共通電極（透明電極）との間に電界を生じせしめ、この電界によって、画素電極と共通電極との間に介在された液晶層の光透過を変調させるようにしている。

【0004】そして、これらゲートライン、データライン、スイッチング素子、および画素電極等は、異なる材料層をそれぞれフォトリソグラフィ技術を用いた選択エッチング方法によって所定のパターンに形成して順次積層させることによって形成されるようになっている。

【0005】なお、このような液晶表示パネルは、たとえば特開昭62-32651号公報に詳述されている。

【0006】

【発明が解決しようとする課題】しかしながら、このような液晶表示パネルにおいて、そのスイッチング素子を備える側の透明基板（以下、TFT基板と称す）は、6回以上のフォトリソグラフィ工程を経て完成するのが通常であり、製造工程の増大をもたらすことが指摘されていた。

【0007】また、このようにフォトリソグラフィ工程が多いことによって、選択エッチングの際の不要な残存物が基板上に付着し、その残存物が導電性の材料であった場合に配線間の電氣的短絡を引き起こすという問題があった。

【0008】さらに、データラインおよび画素電極とが同層にあり、これらをそれぞれフォトリソグラフィ技術で形成した場合に、そのマスクずれによって、データラインと画素電極との間が所定距離に離間されず、距離が短くなった部分においてこれらの間の寄生容量が増加して表示品質を低下させてしまうという問題があった。

【0009】本発明は、このような事情に基づいてなされたものであり、その目的は製造工数の低減を図った液晶表示パネルの製造方法を提供することにある。

【0010】また、本発明の他の目的は、選択エッチングの際の不要な残存物による電氣的短絡等を防止できる液晶表示パネルの製造方法を提供することにある。

【0011】さらに、本発明の他の目的は、表示品質の向上を図った液晶表示パネルを提供することにある。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、透明基板上に形成された、ゲートライン、このゲートラインと絶縁膜を介して交差して形成されたデータライン、前記ゲートラインの一部領域にて前記絶縁膜をゲート絶縁膜とする薄膜トランジスタ、この薄膜トランジスタを介して前記データラインか

らの映像信号が供給される画素電極を少なくとも備える液晶表示パネルの製造方法において、データラインと画素電極との間の半導体を形成した後に、前記絶縁膜あるいは透明基板上で少なくとも2回以上のエッチング除去がなされる工程を備えることを特徴とするものである。

【0014】このような構成によれば、データラインと画素電極の間隙に半導体層やデータラインを構成金属が残ることがなくなることから、点欠陥歩留まりが向上するようになる。

【0015】

【発明の実施の形態】以下、本発明による液晶表示パネルおよびその製造方法の各実施例について説明する。

【0016】実施例1。まず、図3は本発明による液晶表示パネルの一実施例を示す断面図である。

【0017】同図において、液晶表示パネルは、互いに対向配置されるいわゆるTFT基板TFTSUBと対向基板OPSUBとを外囲器とし、このTFT基板TFTSUBと対向基板OPSUBとの間に液晶LCが介在されている。

【0018】TFT基板TFTSUBの液晶LC側の面には、薄膜トランジスタTFT、画素電極ITO1、およびゲートラインGL、データラインDL等が形成され、また、対向基板OPSUBの液晶LC側の面には、共通電極ITO2、カラーフィルタFIL、ブラックマトリックスBMが形成されている。

【0019】同図では明らかにされていないが、その単位画素（カラー表示では隣接する3つの単位画素によって一画素が構成される）において、その薄膜トランジスタTFTがゲートラインGLからの走査信号によってオンされ、このオンされた薄膜トランジスタを介してデータラインからの映像信号が画素電極ITO1に供給され、この画素電極ITO1と共通電極ITO2との間にそれらに印加される電圧に応じた電界を生じせしめる。

【0020】これによって、画素電極ITO1と共通電極ITO2との間の液晶LCが変調し、その光透過率が変化するようになる。

【0021】そして、たとえばTFT基板TFTSUBの外側に配置されている図示しないバックライトからの光が前記液晶LCおよびカラーフィルタFILを介して、対向基板OPSUBの外側、すなわち表示観察側に透過するようになっている。

【0022】以下、上述した各構成部材を順次それぞれ説明する。

【0023】〔TFT基板TFTSUB〕図1は、TFT基板TFTSUBの液晶LC側から見た単位画素とその周辺の領域の平面パターンを示す図である。同図の2-2線における断面図を図2に、3-3線における断面図を図3に、4-4線における断面図を図4に、それぞれ示している。

【0024】各図において、まず、TFT基板TFTSUB

UBの液晶LC側の面には互いに平行に離間された複数のゲートラインGLと、これらゲートラインGLと交差（絶縁されている）して互いに平行に離間された複数のデータラインDLとが形成されている。

【0025】互いに隣接する2本のゲートラインGLとやはり互いに隣接する2本のデータラインDLとで囲まれた領域によってそれぞれ画素領域が形成され、これら各画素領域には、それぞれその領域のほぼ全域にわたって画素電極ITO1が形成されている。

【0026】スイッチング素子として機能する薄膜トランジスタTFT（図中破線に示す）は、各画素電極ITO1毎に対応してゲートラインGL上に形成され、そのソース電極SD1が画素電極ITO1に接続されている。

【0027】ゲートラインGLに供給される走査信号（電圧）は、該ゲートラインGLの一部領域で構成される薄膜トランジスタTFTのゲート電極に印加されて該薄膜トランジスタTFTがON状態となり、この時データラインDLに供給された画像信号がソース電極SD1を介して画素電極ITO1に書き込まれるようになって

いる。

【0028】〔膜膜トランジスタTFT〕図2に示すように、透明ガラス基板SUB1上にはゲートラインGLが形成され、その一部の表面に絶縁膜GI、半導体層ASなどが形成され薄膜トランジスタTFTが構成される。薄膜トランジスタTFTは、たとえばゲートラインGL上にバイアス電圧を印加すると、ソースドレイン（データラインDL）間のチャンネル抵抗が小さくなり、バイアス電圧をゼロにすると、チャンネル抵抗は大きくなるように動作するようになっている。

【0029】ゲートラインGLの一領域であるゲート電極上に窒化シリコンからなるゲート絶縁膜GIを設け、その上に意図的に不純物を添加していない非晶質シリコンからなるi型半導体層ASおよび不純物を添加した非晶質シリコンからなるN型半導体層d0を形成する。さらに、その上にソース電極SD1、ドレイン電極（データラインDLがその役目をはたし、以下特に明記しない限り、ドレイン電極はデータラインDLとする）を形成し、薄膜トランジスタTFTとしている。

【0030】ゲート絶縁膜GIとしては、たとえばプラズマCVDによって形成された窒化シリコンが選択され、2000～5000Åの厚さ（本実施例では3500Å程度）に形成されている。

【0031】i型半導体層ASは、500～2500Åの厚さ（本実施例では2000Å程度）で形成されている。N型半導体層d0はi型半導体層ASとオーミックコンタクトを形成するために設けられ、リン（P）をドーパした非晶質シリコン半導体層で形成されている。

【0032】なお、本実施例の液晶表示パネルでは、便宜上一方をソース電極、他方をドレイン電極と固定して

呼ぶことにする。ソース電極、ドレイン電極の称呼は本来その間のバイアスの特性によって決められるが、動作中にその極性が反転し、ソース電極、ドレイン電極が入れ替わってしまうからである。

【0033】〔ソース電極〕ソース電極SD1はN型半導体層d0およびガラス基板SUB1上に形成され、第1導電層d1、第2導電層d2の積層膜により構成されている。第1導電層d1は厚さ1000～2000Å（本実施例では1200Å程度）のクロム（Cr）膜、第2導電層d2は酸化インジウム錫（Indium-Tin-Oxide:ITO）などの透明導電膜ITO1でそれぞれ形成される。

【0034】第1導電膜は、Cr以外の高融点金属（Ti、Ta、W、Mo）で形成されてもよいし、さらには、これらの金属の合金で形成されてもよい。

【0035】前記ソース電極SD1は、図1に示すように、隣接するゲートラインGLおよび隣接するデータラインDLに囲まれた一画素領域の内側に形成されたゲート絶縁膜GIの開口部の内部に延在するように形成されている。したがって、その断面構成は、図2に示すように、ソース電極SD1を形成する第1導電膜d1およびその上層の第2導電膜d2は、画素領域内で、少なくともその一部はガラス基板SUB1上に形成されている。

【0036】このようなゲート絶縁膜GIの開口部は、一般的なコンタクトホールの形状をもっているが、明らかに上記ホールとは異なる作用をもっている。コンタクトホールは、通常、このホールの下部の導電膜と絶縁膜GI上部の導電膜との接続の目的に使用されるが、本実施例ではソース電極SD1のパターン端部が絶縁性の透明ガラス基板SUB1上に接触している。

【0037】〔画素電極〕画素電極ITO1は透明導電膜で形成され、薄膜トランジスタTFTのソース電極SD1に接続され、このソース電極SD1を構成する第2導電膜d2と一体的に形成されている。透明導電膜はITOのスパッタリング膜によって形成され、その厚さは300～3000Å（本実施例では1400Å程度）である。

【0038】〔ゲートラインGL〕図2に示すように、ゲートラインGLは、単層の導電膜g1で形成されている。導電膜g1としては厚さ600～1500Å（本実施例では1200Å程度）のスパッタリングで形成されたクロム（Cr）膜が用いられる。これも、第1導電膜d1と同様に他の高融点金属あるいはそれらの合金であってもよい。

【0039】〔データラインDL〕図3に示すように、データラインDLは、透明ガラス基板SUB1上に第1導電膜d1、さらに第2導電膜d2である透明導電膜のほぼ同一平面パターンを有する積層構造となっている。図1の平面形状における本実施例の一つの特徴は、ゲート絶縁膜GIとデータラインDLの関係にあり、これが

点欠陥不良を低減させる効果を奏している。

【0040】すなわち、点欠陥不良の原因としては、特にデータラインDLと画素電極ITO1との間の電氣的ショートが大半を占める。これは、ゲートラインGLは図2の断面図に示すように、ゲート絶縁膜GIで被覆されているため、ショートの原因となる半導体(d0、AS)、透明画素電極ITO1、データラインDLを構成する第1導電膜d1が絶縁分離され、ゲートラインGLと画素電極ITO1がショートしないのに対して、データラインDLと画素電極ITO1は図3に示すように、同一平面上形成されているためショートが発生しやすい。

【0041】本実施例は、このような点欠陥不良の解析結果をもとに生み出されたものである。異物解析を行った結果、データラインDLと画素電極ITO1のショートは、フォトリソ工程におけるゴミ等のパーティクルがレジスト上に付着し、露光工程において、いわゆるフォトリソの働きをして、これがデータラインDLと画素電極ITOをショートさせるものである。しかし、このゴミおよびゴミの下部にあるレジストはエッチング後のレジスト除去工程でほとんど除去され、最終的な表示パネルにおいては、レジストとその下部にある前述のショートの原因となる導電物のみが、データラインDLと透明電極ITO1をショートしていた。

【0042】このことより、少なくとも、データラインDLと画素電極ITO1の間隙となるLS領域(図1参照)において、一度成膜した前述の半導体(d0、AS)あるいは第1導電膜d1を、LS領域において、異なるフォトリソパターンでエッチングおよびレジスト除去を2回以上行うことで、成膜後の一回目のフォトリソパターン形成、エッチング、レジスト剥離の一連の工程で、該LS領域においてレジスト残りが原因で導電物がショートしたとしても、前述の2回目のエッチングで完全除去されて点欠陥が生じなくなる。

【0043】上記効果を得るためには、たとえば、半導体(d0、AS)の一回目のフォトリソエッチング工程を行う平面パターンが少なくともLS領域に残さず除去するパターンである必要がある。そうでなければ、2回フォトリソエッチングしても点欠陥は低減できない。

【0044】このような観点から、図1のゲート絶縁膜GIのパターンは隣合うゲートラインGL間をゲートラインGLにはほぼ平行な平面パターンで構成し、ゲート絶縁膜GIの開孔部が形成され、データラインDL下部の半導体とゲート絶縁膜GIを主領域を除去するパターンとなっている。製造方法は後述するが、半導体とゲート絶縁膜GIは同じパターンで一度フォトリソエッチングされ、再度データラインDLの材料である第1導電膜d0のパターンで半導体をエッチングするので点欠陥の原因の一つとなる半導体がLS領域に残ることはなくなる。

【0045】〔保持容量Cadd〕図2に示すように、

保持容量Caddは薄膜トランジスタTFTが形成された側のゲートラインGLとは異なる側のゲートラインGL上に形成され、このゲートラインGL上に絶縁膜GIを挟んで延在された画素電極ITO1(d2)との重畳領域の容量で構成されている。この保持容量Caddは液晶層LCの容量の減衰や薄膜トランジスタTFTのオフ時の電圧低下を防止する機能を有する。

【0046】〔保護膜PSV〕図2、図3に示すように、TFT基板TFTSUBの薄膜トランジスタTFTを形成した側の表面は、画素電極ITOの中央部、および後述のようにTFT基板TFTSUBの周辺部に設けられたゲート端子部およびドレイン端子部の形成領域を除いて保護膜PSV1で被われる。画素電極ITO1上部の保護膜PSV1を開口させることにより、前記ゲート絶縁膜GIを開口させたことと同様に表示パネルの透過率すなわち明るさを向上させる効果を有する。

【0047】保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護する目的で形成され、たとえばプラズマCVD方法により、厚さ2000Å~8000Åの酸化シリコン膜や窒化シリコン膜で形成されている。

【0048】〔対向基板OPSUB〕図3に示すように、透明ガラス基板SUS2によって構成され、TFT基板SUB1に対向して配置されている。この基板SUB2には遮光膜BM、赤、緑、青のカラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2および配向膜OPRI2が順次積層して設けられている。また、基板の他方の面上には遮光板POL2が貼り合わされており、これとTFT基板TFTSUBのTFTが形成されていない他方の面にある遮光板POL1で透過光を偏光するようになっている。

【0049】上記遮光膜BMはCrのスパッタリング膜、有機膜あるいは黒鉛等で形成され、遮光同様、額縁状に光を分離し、コントラストを向上させるブラックマトリックスの役目も果たすようになっている。

【0050】〔TFT基板TFTSUBの製造方法〕次に、上述した液晶表示パネルのTFT基板TFTSUBの製造方法を図5から図12を用いて説明する。図5は製造工程の流れを各工程の名称を用いてフローチャートとしてまとめたものである。各工程をあるサブ単位でまとめて、それに英字をつけてある。同図のAからHまでのそれぞれのサブ工程の最終断面構造が図6から図12に対応する。各図は、TFT基板のゲートラインとデータラインの交差部からデータラインに沿いさらにこれと画素電極を横切る断面図(図4の断面図と対応)である。なお、図5のHの最終工程での対応する断面構造は図4である。

【0051】図6、図8、図9、図11、およびHサブ工程に対応する工程にはそれぞれフォトリソ工程が含まれている。ここで、フォトリソ工程は本実施例ではフォトリソの塗布からマスクを使用した選択露光を経て

それを現像するまでの一連の作業を示すものとなる。これらの図から明らかなように、本実施例ではTFT基板を5回のフォト処理工程を経て製造することができる。

【0052】以下、各工程を順を追って説明する。

【0053】工程1. 透明ガラス基板SUB1を準備し、その一方の表面上にCr膜をスパッタリングにより形成する。このCr膜上にフォト処理（第1フォト）によって所定パターンのマスクを形成した後、Cr膜を選択的にエッチングし、所定パターンの導電膜g1を形成する（図6）。

【0054】工程2. 次に、透明ガラス基板SUB1上に、前記導電膜g1をも含んで、たとえばプラズマCVD方法により窒化Si膜GI、i型非晶質Si膜AS、N型の非晶質Si膜d0を順次形成する（図7）。

【0055】工程3. フォト処理（第2フォト）によってマスクを形成した後、SF₆ガスを用い、画素領域および後の工程でデータラインと画素電極の問題となるLS領域（図1参照）におけるN型半導体層d0（N型非晶質Si）、i型半導体層AS（i型非晶質）、ゲート絶縁膜GI（窒化Si）をエッチング除去する（図8）。

【0056】工程4. 次に、Cr膜をスパッタリングによりその上部に形成する。その後、このCr膜上にフォト処理（第3フォト）によって所定のパターンの導電膜d1を形成する（図9）。

【0057】工程5. 次に、前記工程で形成された第1導電膜d1のマスクを利用して、N型半導体層d0とi型半導体層ASをSF₆とBC13の混合ガスで選択的にドライエッチング除去する（図10）。

【0058】この場合、データラインと画素電極の間隙のLS領域の半導体層ASとd0が2回目のエッチングが行われたことになる。これにより、図8の工程（図5のC）で、仮に、LS領域にフォトレジストの残りがあり、半導体（AS、d0）が残っても、本工程で少なくとも、前記半導体残りは除去され、図1のLS部でデータラインDLと画素電極ITOを半導体が連結し発生する点欠陥は防止できる。この工程では、もちろん、図8の工程で半導体（AS、d0）の下部に残された、ゲート絶縁膜は、本工程では、除去されないが、ゲート絶縁膜GIはSiNであり、絶縁膜であり、仮に連結されたとしても点欠陥には至らない。

【0059】工程6. 次に、ITO膜からなる第2導電膜d2をスパッタリングにより設ける。フォト処理（第4フォト）によってマスク形成後、第2導電膜d2をHBr溶液により選択的にエッチングし、透明導電膜ITO1などにITOパターンを残す（図11）。

【0060】工程7. 次に、パターンニングされた透明導電膜d2をマスクとして、再度第1導電膜d1を選択エッチングし、さらにN型非晶質Sをエッチングすることにより、ソース電極SD1とデータラインDLを分離

する（図12）。

【0061】この際も、前述の半導体同様、Crで構成された第1導電膜d1は、図9の工程（図5のD）で、一度、画素電極ITO1とデータラインの間隙LSを加工除去しており、本工程により、たとえ図9の工程でCrがLS領域に残っても、この残りは除去され、点欠陥には至らない。

【0062】また、本発明の構造、製造方法を使用することにより、表示品質向上が図れる。本発明のデータラインDLと画素電極ITO1の断面構造上の関係は図3に示してある。これは、データラインDLがCrの第1導電膜d1と画素電極ITO1と同一工程、同一材料で形成されたITOの第2導電膜d1で構成されている。上述の製造方法で示すように、第1導電膜d1は、一端、フォト工程を経て加工され（図5のD）、再度、画素電極ITO2や第2導電膜d2のフォト工程で、第1導電膜d1のCrは再度エッチングされる。このことは、点欠陥を低減させるのみならず、仮に、第1回目の第1導電膜d1の形成（図5のD）に対して、第2回目のd2のフォト工程の合わせ（図5のF）が位置ずれしても、データラインDLのd2と透明電極ITO1の距離は常に一定であるため、位置ずれして露出した第1導電膜d1は上記再エッチで除去されることになる。

【0063】じたがって、いかなる場合もデータラインDLとITO1の距離は一定であり、そのために上記距離間の寄生容量も一定になる。これにより、画面で背景に中間表示し、黒色のウインドウ表示した時に、背景色に縦に発生する不良が発生しなくなる。これは、通常、フォト工程の合わせずれで、データラインDLとITO1の一方の距離が縮まり発生する。本発明の構造とその製造方法でこれは防止できる。

【0064】工程8. 次に、プラズマCVD方法により窒化Si膜を設ける。フォト処理（第5フォト）によってマスク形成後、窒化Si膜をエッチングし、画素電極の中央部などの領域以外に保護膜PSV1を形成する（図4）。

【0065】以上のように、本実施例の構造、製造方法をとることにより、データラインと画素電極間の導電物のショートによる点欠陥を著しく低減できる。

【0066】また、フォト工程によるアライメントずれが発生しても、データラインと画素電極間の寄生容量が増加せず表示不良が発生しない。このような、高歩留まりのTFT基板を5回のフォトレジスト工程で形成し、簡略な構造として、安価な液晶表示装置を提供することをも可能にしている。

【0067】実施例2. 本発明の第2の実施例を図13、図14で説明する。図13は一画素の平面図であり、図14は図13の14-14線における断面図である。

【0068】本実施例が実施例1と異なる点は、図13

の平面構造においては、ゲート絶縁膜G IのパターンがデータラインDLと画素電極ITO 1の間隙のLS領域にパターン端部があり、さらにデータラインDLの平面パターンが半導体層(d 0、AS)と第1導電膜d 1および第2導電膜d 2がほぼ同じ平面パターンを構成している点である。図4の断面構造に示すように、半導体層(d 0、AS)と第1導電膜d 1および第2導電膜d 2はほぼ、同一段差にあり、実施例1の図4では、データラインDLがゲートラインGLと半導体層(d 0、AS)、ゲート絶縁膜G Iの段差を第1導電膜d 1および第2導電膜d 2で乗り越えて形成されるのに対して、本実施例の図14ではゲートラインGLの段差のみを乗り越えればよく、データラインDLの断線不良を低減できるという新たな効果を奏する。

【0069】もちろん、製造工程は実施例と全く同一であるため、ゲート絶縁膜G Iのパターン端部がLS領域にあり、実施例1と同様に点欠陥を低減する効果は全く損なわれることはない。

【0070】実施例3。図15は、一画素の平面図であり、図16は図15の16-16線における断面図である。

【0071】第1の実施例と異なるのは遮光電極SKDが配置されている点である。この遮光電極SKDは導電膜gと同一の金属で導電層gと同時に加工される。この遮光電極SKDと第1導電膜d 1が同一の金属の場合、第1導電膜d 1のエッチングの際に遮光電極SKDが除去されないよう遮光電極SKDを絶縁膜G Iで被覆する必要がある。

【0072】遮光電極SKDと第1導電膜d 1が異なる金属の場合でも、データラインDLと透明導電膜ITO 1の短絡不良を防ぐために遮光電極SKDを絶縁膜等で被覆するのが望ましい。

【0073】本実施例の特徴はゲート絶縁膜G Iの端部がデータラインDLと遮光電極SKDの間によるような形状に加工した点にある。これにより、ゲート絶縁膜G Iのパターン端部がLS領域にあるため、実施例1と同様に点欠陥を低減させる効果は損なわれることがない。

【0074】また、遮光電極SKDの配置が簡単であるため、開口部の大きな液晶表示パネルの構成が可能となる。すなわち、この遮光電極SKDは対向基板OP SUB側に形成される遮光膜BMの一部を負担するために設けられるものであり、このような遮光電極SKDを形成することにより、TFT基板TFT SUBと対向基板OP SUBとの位置合わせが容易になることから、開口部の向上を図ることができるようになる。

【0075】さらに、導電膜d 1と遮光電極SKDが同一の金属の場合でも、遮光電極SKDはゲート絶縁膜G Iで被覆されており、導電膜d 1のエッチング時にも除

去されることなく保持することができる。

【0076】また、データラインDLと透明導電膜ITO 1はほぼ同一平面上にある。そのためにデータラインDLと透明導電膜ITO 1に縦方向の間隙がある場合と比較してデータラインDLと透明導電膜ITO 1間の寄生容量は原理的に小さくなる。これにより、画面で背景に中間表示し、黒色のウインドウ表示したとき、背景色に縦に発生する不良が低減されるという新たな効果を奏する。

10 【0077】なお、この製造工程は実施例1と同じである。

【0078】

【発明の効果】以上説明したことから明らかなように、本発明による液晶表示パネルおよびその製造方法によれば、製造工数の低減を図ることができるようになる。また、選択エッチングの際の不要な残存物による電氣的短絡等を防止できるようになる。さらに、表示品質の向上を図ることができるようになる。

【図面の簡単な説明】

20 【図1】本発明の実施例1におけるTFT基板の単位画素とその周辺を示す平面図である。

【図2】図1の2-2線における断面図である。

【図3】図1の3-3線における断面図である。

【図4】図1の4-4線における断面図である。

【図5】本発明による液晶表示パネルの製造方法の一実施例を示すフローチャートである。

【図6】図5の工程Aに対応する断面図である。

【図7】図5の工程Bに対応する断面図である。

【図8】図5の工程Cに対応する断面図である。

30 【図9】図5の工程Dに対応する断面図である。

【図10】図5の工程Eに対応する断面図である。

【図11】図5の工程Fに対応する断面図である。

【図12】図5の工程Gに対応する断面図である。

【図13】本発明の実施例2におけるTFT基板の単位画素とその周辺を示す平面図である。

【図14】図13における14-14線の断面図である。

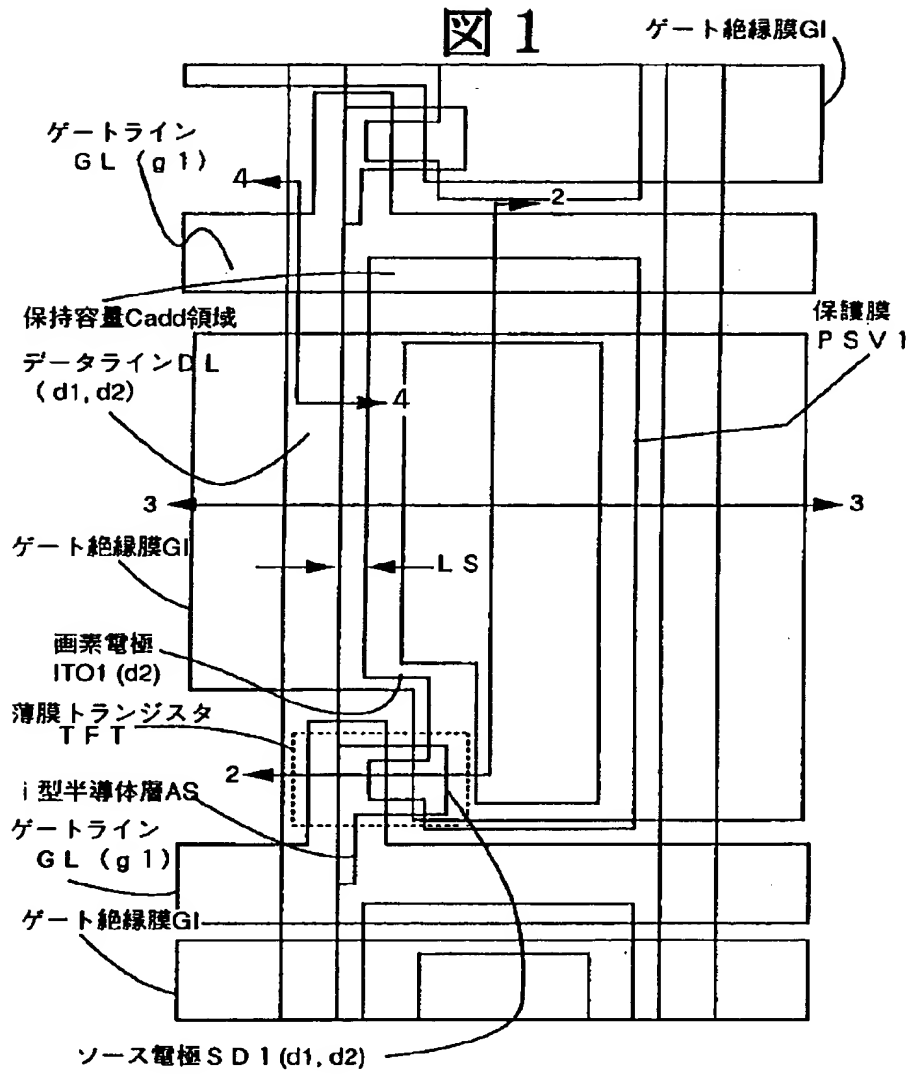
【図15】本発明の実施例3におけるTFT基板の単位画素とその周辺を示す平面図である。

40 【図16】図13における16-16線の断面図である。

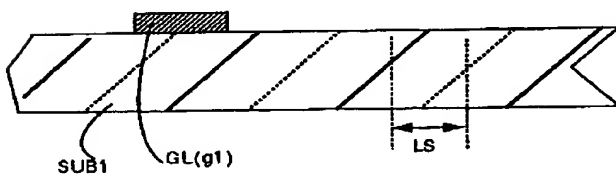
【符号の説明】

SUB1、SUB2……透明ガラス基板、GL……ゲートライン、DL……データライン、GI……ゲート絶縁膜、AS……i型半導体層、d 0……N型半導体層、SD1……ソース電極、ITO 1……透明導電層、g……導電膜、d 1……第1導電膜、d 2……第2導電膜、TFT……薄膜トランジスタ、SKD……遮光電極。

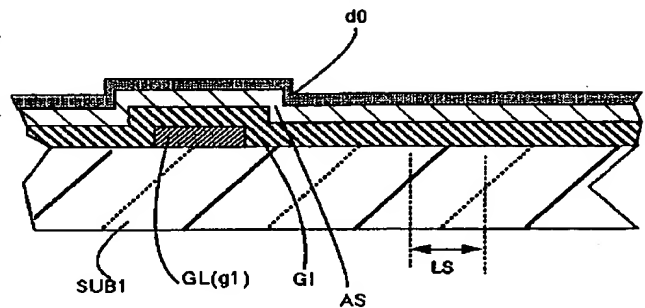
【図1】



【図6】

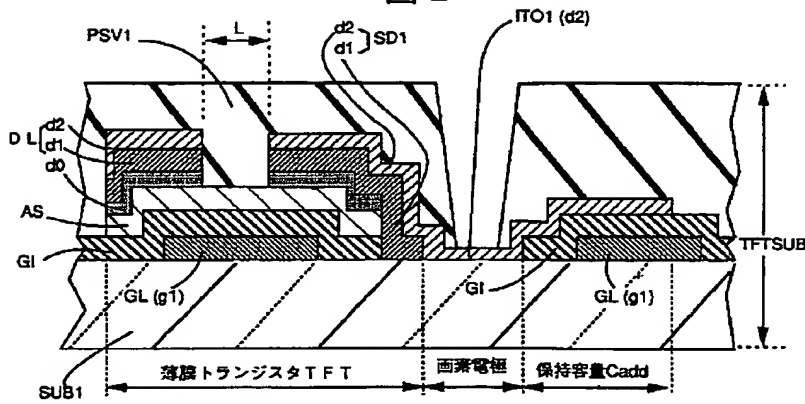
図 6

【図7】

図 7

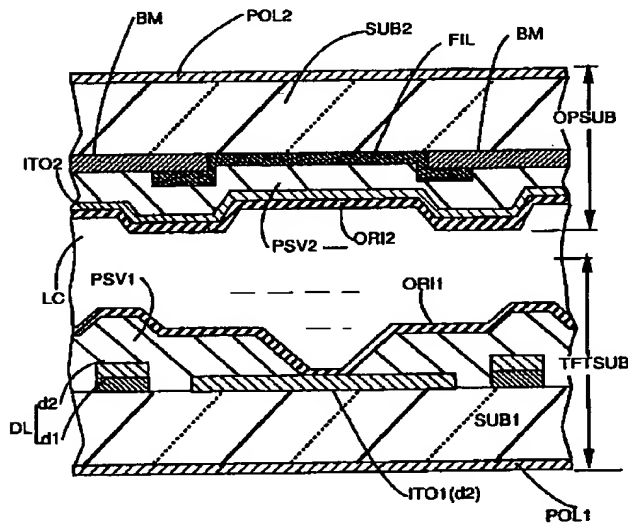
【図 2】

図 2



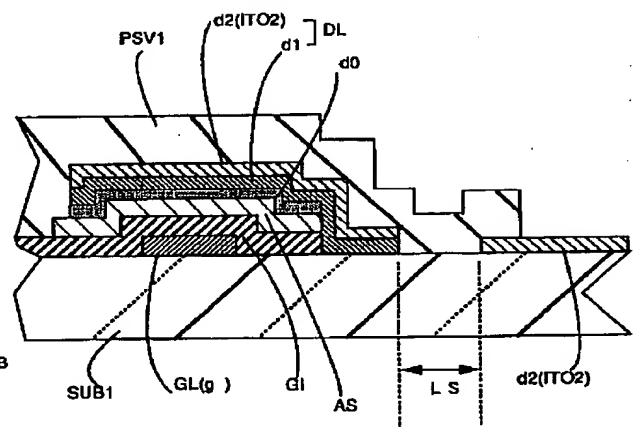
【図 3】

図 3



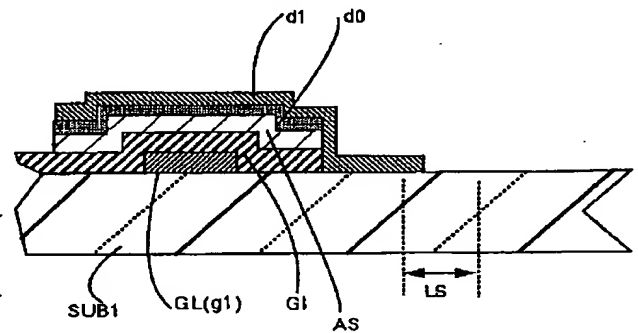
【図 4】

図 4



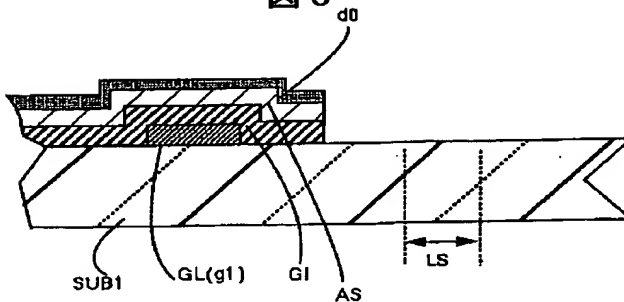
【図 10】

図 10



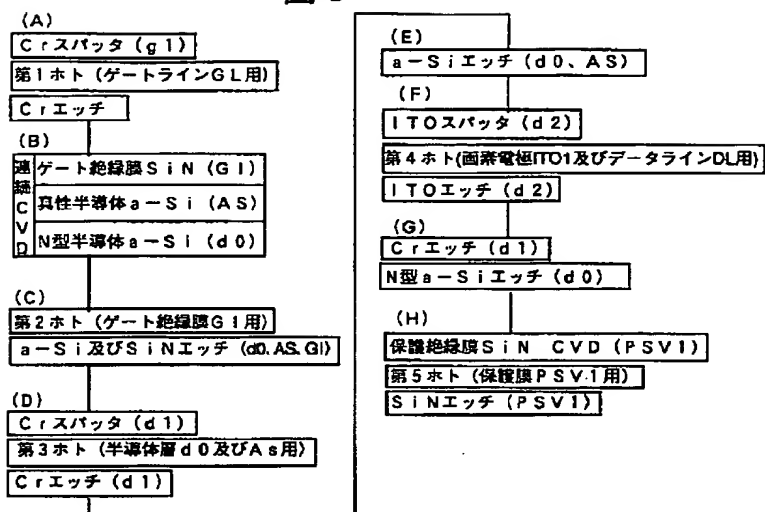
【図 8】

図 8



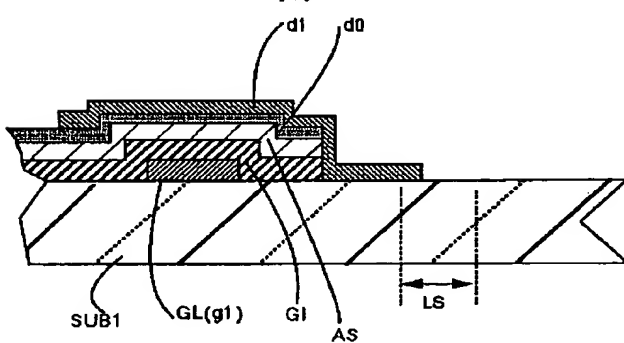
【図5】

図5



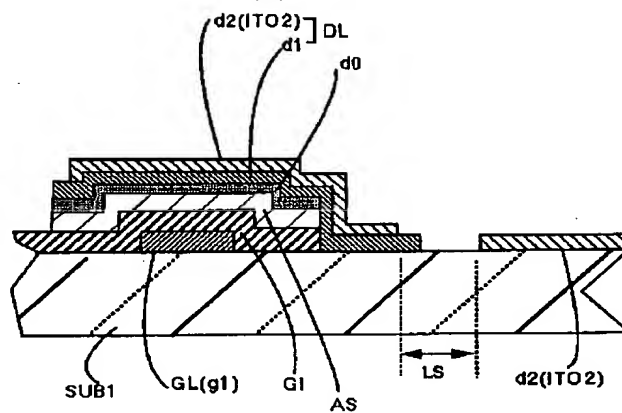
【図9】

図9



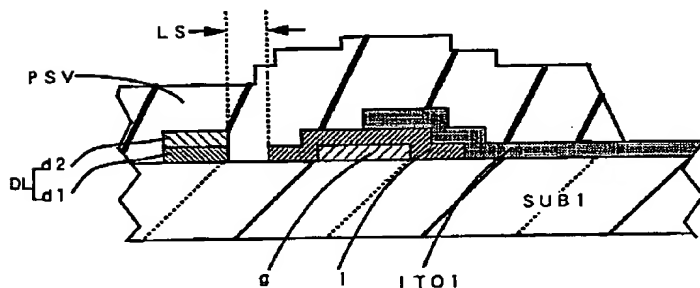
【図11】

図11

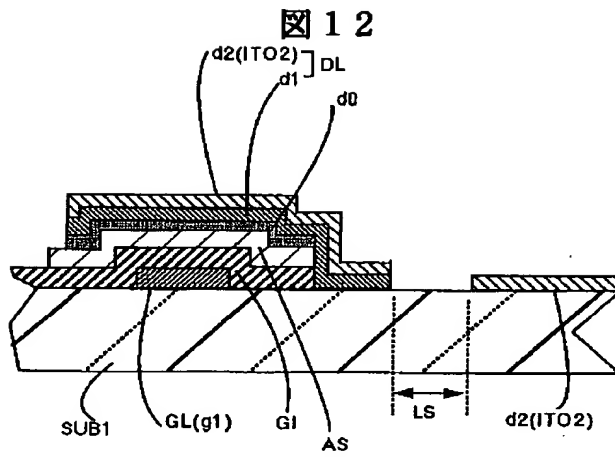


【図16】

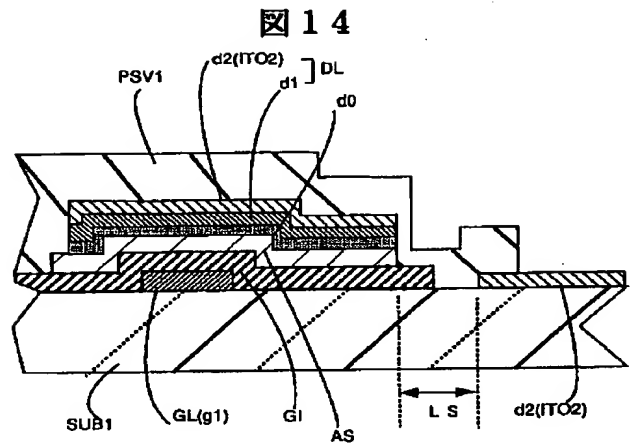
図16



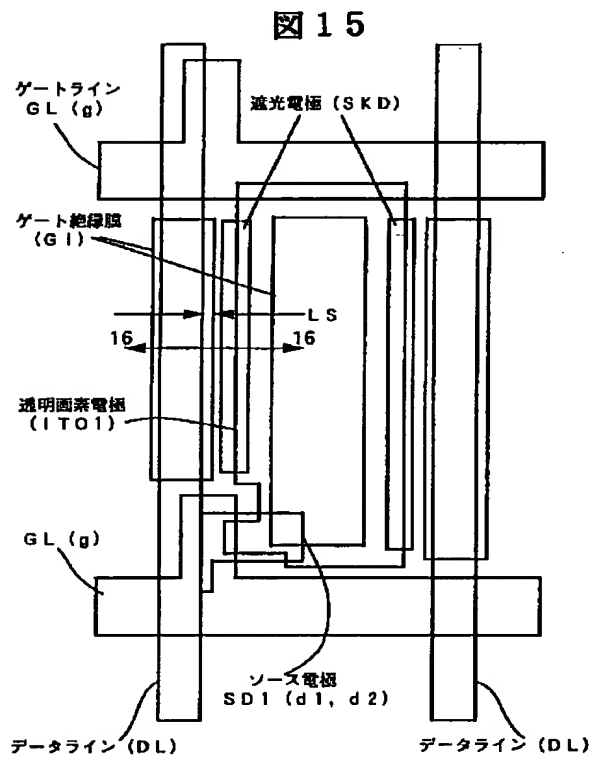
【図 12】



【図 14】



【図 15】



【図13】

図 1 3

